

⑫ 公開特許公報(A) 平1-238025

⑤ Int. Cl.⁴H 01 L 21/322
27/06
29/91

識別記号

1 0 1

庁内整理番号

K-7738-5F
E-8728-5F
J-7638-5F

⑬ 公開 平成1年(1989)9月22日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 集積回路装置

⑯ 特 願 昭63-65999

⑰ 出 願 昭63(1988)3月17日

⑱ 発 明 者 菊 山 誠 一 郎 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑲ 出 願 人 三 菱 電 機 株 式 有 限 公 司 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁 理 士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

集積回路装置

2. 特許請求の範囲

バイポーラ形半導体構造を持つ集積回路において、P形拡散とN形拡散にてPN接合ダイオードを構成する時、そのダイオード領域に選択的に金拡散したことを特徴とする集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、主に誘導負荷を駆動する集積回路装置に関するものである。

〔従来の技術〕

第3図は従来から使用されている集積回路装置全体を示す図面であり、④はPN接合ダイオード、①は誘導負荷、②はNPNトランジスタ、(400)は入力端子、(300)は接地端子、(200)は電源端子である。

次に動作について説明する。入力端子(400)に「H→L」の信号が入力された時、NPNトランジ

スタ②は「ON→OFF」の状態となる。この遷移状態において誘導負荷①は、その負荷電流が急激に停止させられるため、誘導による逆起電力が発生し、NPNトランジスタ②のコレクタ電位を上昇させる。この逆起電力が、NPNトランジスタ②のコレクタ・エミッタ間耐圧を越えた場合、NPNトランジスタがブレイクダウンし、最悪破壊することがある。これを防止するため、通常クランプダイオードと呼ばれているPN接合ダイオード④をカソード側を電源(200)へ、アノード側をNPNトランジスタ②のコレクタ端子へ接続している。このダイオード④により、NPNトランジスタ②のコレクタ電位は、電源(200)電位よりダイオード④の順方向電圧(通常0.7V程度)分だけ高い電圧にクランプされ、破壊から防止される。

〔発明が解決しようとする課題〕

従来の集積回路装置は第3図のダイオード④だけを取り出した図であるところの第2図に示す様に、ダイオード④が構造上、寄生のPNPトランジスタを内蔵しており、アノード側(100)から入

力された電流が、一部接地(300)へ流れてしまう。電源(200)の電位が高く、ダイオード00の電流が大きい場合は、上記の接地へ流れる電流(寄生電流)が大きくなり、しかも電位が高いためムダな電力消費が大きくなる問題点があつた。

この発明は上記の問題点を解消するためになされたもので、上記寄生のPNPトランジスタの電流増巾率(hFE)を下げることにより、上記寄生電流を減少させ、ムダな電力消費を減少させた集積回路装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る集積回路装置は、第3図及び第2図に示すダイオード00の構造図第1図において(4)のエピタキシャル層に金を拡散したものである。第1図において、(1)はP形拡散(基板)、(2)はN⁺形拡散、(3)はP⁺形拡散(分離)、(4)はN形拡散(エピタキシャル層)、(5)はN⁺形拡散、(6)はP⁺形拡散(ベース)、(7)はAl配線、(8)はSiO₂層、(9)は寄生のPNPトランジスタ、03は拡散された金原子を示す。

と同様で、出力(100)が「L→H」に変化する時、誘導負荷02によつてダイオード00に順方向電流が流れる。しかし第2図で示す、寄生のPNPトランジスタ(9)の電流増巾率が金拡散により小さくなつてゐるため、接地(300)へ流れる寄生電流が小さくなる。この結果、ムダになる電力が減少する。

第3図におけるエピタキシャル層(4)への拡散は、白金を使用しても同様の効果を得ることが出来る。
〔発明の効果〕

以上のようにこの発明によれば、従来装置に金を、ダイオードの部分に拡散させるだけで、ムダな電力を防ぐことができる。

4. 図面の簡単な説明

第1図はこの発明の実施例であるPNダイオードの構造図、第2図は第3図におけるPNダイオードと寄生PNPトランジスタの説明図、第3図はこの発明が使用される回路例を示す回路図である。

図において、(1)はP形基板、(2)はN形エピタキシャル層、(4)、(5)はN形拡散層、(3)、(6)はP形拡

〔作用〕

この発明におけるエピタキシャル層(4)へ拡散された金原子03は、エピタキシャル層(4)の中へ多数の再結合中心を作り、この領域での小数キャリアのライフタイムを減少させる。このためエピタキシャル層(4)をベース領域としている寄生PNPトランジスタ(9)の電流増巾率(hFE)を下げることになり、結果として、寄生電流を減少させる。

〔発明の実施例〕

この発明の実施例は、回路的には従来例と同じであり異なる点は、第1図のエピタキシャル層に金を拡散したことである。従つて実施例は第3図となる。

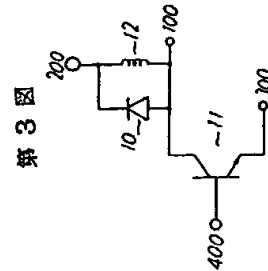
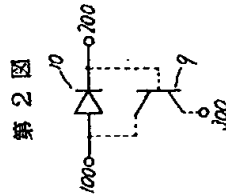
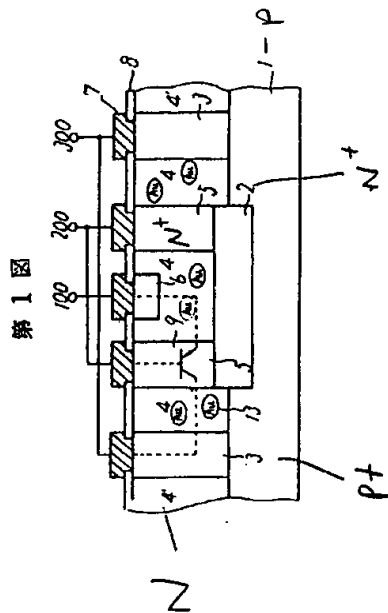
この発明による作用は、前述「作用」で述べた様に、エピタキシャル層へ拡散された金は、不純物として再結合中心として作用し、寄生PNPトランジスタのベース領域(=エピタキシャル層)での小数キャリアのライフタイムを減少させ、電流増巾率(hFE)を下げることになる。

これは、第3図の動作としては、従来回路動作

散層、(7)はAl配線、(8)はパッシベーション層、03は金原子、(100)はアノード電極、(200)はカソード電極、(300)は接地を示す。第2図において00はPN接合ダイオード、(9)は寄生PNPトランジスタを示す。第3図において00は負荷駆動用PNPトランジスタ、02は誘導負荷、(400)は入力端子を示す。

尚、図中、同一符号は相当部分を示す。

代理人 大 岩 増 雄



手続補正書(自発)

昭和 63 年 6 月 27 日

特許庁長官殿

1. 事件の表示 特願昭 63-65999

2. 発明の名称

災損回路装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内

氏 名 (7375)弁理士 大 岩 増 雄

(連絡先 03(213)3421 特許部)



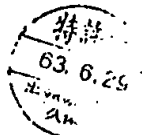
5. 補正の対象

明細書の図面の簡単な説明の欄。

6. 補正の内容

(1) 明細書第6頁第1行の「パッシベーション層」を「パッシベーション」に訂正する。

以上



CLIPPEDIMAGE= JP401238025A
PAT-NO: JP401238025A
DOCUMENT-IDENTIFIER: JP 01238025 A
TITLE: INTEGRATED CIRCUIT DEVICE

PUBN-DATE: September 22, 1989

INVENTOR-INFORMATION:
NAME
KIKUYAMA, SEIICHIRO

ASSIGNEE-INFORMATION:
NAME
MITSUBISHI ELECTRIC CORP
COUNTRY
N/A

APPL-NO: JP63065999
APPL-DATE: March 17, 1988

INT-CL (IPC): H01L021/322; H01L027/06 ; H01L029/91
US-CL-CURRENT: 438/FOR.254,438/FOR.302 ,117/102 ,438/543

ABSTRACT:

PURPOSE: To reduce a parasitic current leaked into a ground and reduce a waste power by diffusing gold into the epitaxial layer of a diode.

CONSTITUTION: Gold is diffused into an epitaxial layer. The gold atoms 13 diffused into the epitaxial layer 4 produce many recombination centers in the epitaxial layer 4 and reduce the lifetime of minority carriers in that region. Therefore, the current amplification factor of a parasitic P-N-P transistor whose base region is the epitaxial layer 4 is lowered so that a parasitic current can be reduced.

COPYRIGHT: (C)1989, JPO&Japio